



KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020091886 A  
(43)Date of publication of application: 11.12.2002

(21)Application number: 1020010030683  
(22)Date of filing: 01.06.2001

(71)Applicant: HYNIX SEMICONDUCTOR INC.  
(72)Inventor: CHA, HAN SEOP

(51)Int. Cl. H01L 21/20

(54) METHOD FOR FORMING SHALLOW JUNCTION USING SILICON GERMANIUM SELECTIVE EPITAXIAL GROWTH

(57) Abstract:

PURPOSE: A method for forming shallow junction using silicon germanium selective epitaxial growth is provided to effectively prevent a diffusion of impurities via a gate and a reduction of effective channel length by using an SEG(Selective Epitaxial Growth) of SiGe.

CONSTITUTION: A polysilicon gate(22) and a barrier film(23) of a spacer structure are sequentially formed on a silicon substrate(20). After partially removing the polysilicon gate(22) and the silicon substrate(20), a SiGe layer(24) is then grown on the removed region by using an SEG. Lightly doped dopants are implanted to the SiGe layer(24). A nitride spacer(26') is formed at both sidewalls of the barrier film(23). By implanting heavily doped dopants into the SiGe layer(24) and annealing the resultant structure, source and drain regions(27) and a source/drain extension(28) are formed.



&copy; KIPO 2003

## Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 특2002-0091886  
H01L 21/20 (43) 공개일자 2002년12월11일

(21) 출원번호 10-2001-0030683  
(22) 출원일자 2001년06월01일  
(71) 출원인 주식회사 하이닉스반도체  
(72) 발명자 경기 이천시 부발읍 아미리 산136-1 차한섭  
(74) 대리인 충청북도청주시흥덕구향정동현대전자시스템 IC연구소L15공정개발팀 특허법인 신성

심사청구 : 있음

(54) 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 샬로우정선 형성 방법

요약

본 발명은 반도체 기술에 관한 것으로, 특히 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 샬로우 정선 형성 방법에 관한 것이다. 본 발명은 소스/드레인 확장의 확산에 따른 유효 채널의 감소와 깊이 방향으로의 확산을 효과적으로 방지할 수 있으며, 게이트를 통한 불순물의 확산을 동시에 방지할 수 있으며, 소스/드레인 확장의 저항을 감소시킬 수 있는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 샬로우 정선 형성 방법을 제공하는데 그 목적이 있다. 이를 위해 본 발명은 소정 공정이 완료된 실리콘 기판 상에 폴리실리콘 게이트 전극 및 스페이서 형태의 배리어막을 형성하는 제1단계; 상기 폴리실리콘 게이트 전극 및 상기 실리콘 기판을 소정의 두께만큼 제거하는 제2단계; 상기 제거된 영역 상에 선택적 에피택셜 성장을 이용하여 SiGe막을 성장시키는 제3단계; 상기 SiGe막에 저농도 불순물을 주입하는 제4단계; 상기 배리어막 측벽을 감싸는 스페이서를 형성하는 제5단계; 및 상기 SiGe막에 고농도 불순물을 주입하는 제6 단계를 포함하여 이루어지는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 샬로우 정선 형성 방법을 제공한다.

도표도

도2a

제언어

SEG, Shallow junction, SiGe, Extension, LOD.

명세서

도면의 간단한 설명

도 1은 종래기술에 따라 형성된 LOD 구조의 샬로우 정선을 도시한 단면도.

도 2a 내지 도 2g는 본 발명의 일실시예에 따른 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 샬로우 정선 형성 공정을 도시한 단면도.

\* 도면의 주요 부분에 대한 부호의 설명

- 20 : 실리콘 기판
- 21 : 게이트 산화막
- 22 : 폴리실리콘 게이트
- 23 : 배리어막
- 24 : 폴리-SiGe막
- 26 : 절화막
- 26' : 스페이서
- 27 : 소스/드레인
- 28 : 소스/드레인 확장

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기술에 관한 것으로, 상세하게는 선택적 실리콘-게르마늄 에피택셜 성장(SiGe Selective Epitaxial Growth)을 이용한 얕로우 정션(Shallow junction) 형성 방법에 관한 것이다.

반도체 장치의 동작 속도 향상과 고집적화를 위한 단채널(Short channel)화가 진행되면서 예컨대, 모스(Metal Oxide Semiconductor; 이하 MOS라 함)의 소스/드레인(Source/drain) 간의 정션에서 강한 전기장(Electric field)에 의하여 드리프트(Drift)성 전류가 야기되는 현상인 펀치 스루(Punch-Through)의 문제가 발생되고 있다.

또한, 소스/드레인 정션에서의 공핍층(Depletion layer)이 만나면서 펀치 스루 브레이크다운(Punch-Through Breakdown) 현상이 발생하게 되는 바, 이것은 기판의 불순물 농도가 낮거나, 또는 단채널일 경우 두 정션의 공핍층이 만나면서 소스/드레인 사이에 갑자기 많은 전류가 흐르는 현상으로 통상, 집적화를 위한 소형화(Scaling down)의 가장 큰 걸림돌이 되고 있으며, 이러한 브레이크다운 특성을 보완하기 위해 LDD(Lightly Doped Drain) 구조와 얕로우 정션을 이용하는 방법이 사용되고 있다.

그러나, 핫 캐리어 효과(Hot carrier effect)를 억제하기 위해 로직(Logic) 씨모스(Complementary Metal Oxide Semiconductor; 이하 CMOS라 함) 제조 공정에서 통상적으로 이용하는 LDD 구조의 확장 정션(Extension Junction)에서 채널 영역으로의 확산이라는 구조적인 문제점에 기인하여 단채널 효과(Short channel effect)가 발생하게 되어 소자의 신뢰성이 저하되는 문제점이 발생되는 바, 단채널 효과란, 게이트 길이(Gate length)가 줄어들면서 소스와 드레인에서 생성되는 공핍층의 폭이 게이트 길이에 비해 무시할 수 없을 정도로 커짐에 따라 유효 채널의 길이가 감소하여 문턱전압(Threshold voltage)이 감소하는 현상이다.

도 1은 종래기술에 따라 형성된 LDD 구조의 얕로우 정션을 도시한 단면도이다.

도 1을 참조하면, 소스/드레인(11)이 형성된 실리콘 기판(10) 상에 기판(10)과 접합되는 계면에 산화막 등의 절연막(12)을 구비한 폴리실리콘 게이트 전극(13)이 형성되어 있으며, 폴리실리콘 게이트 전극(13)의 측벽을 감싸는 측벽 스페이서(Spacer, 14)가 형성되어 있다.

여기서, 도면부호 '15'는 소스/드레인 확장(Extension) 또는 확장이라 지칭하는 바, 이것은 게이트 전극(13) 형성을 위한 폴리실리콘 식각 후 이온주입(Ion Implantation) 후 열공정을 통해 채널 영역으로 확산된다.

그러나, 상술한 바와 같은 종래의 얕로우 정션에서는 다음과 같은 문제점이 발생하게 된다.

즉, 집적도가 높아지면서 확장 부분의 채널 영역으로의 확산 정도와 깊이 방향으로의 확산정도가 커지면서 소자의 단채널 효과가 크게 증가하게 되어 상술한 바와 같이 유효 채널의 길이가 감소에 따른 문턱전압의 감소에 의해 소자의 신뢰도가 크게 떨어지게 된다.

한편, 이러한 확산에 의한 문제를 해결하기 위해 이온주입 등에 의해 불순물을 주입하는 도스(Dose) 즉, 단위 면적당 불순물의 개수를 줄이게 되면 확장 부분에서의 저항이 증가하게 되는 문제점이 발생하게 된다.

따라서, 확장 부분에서의 저항을 충분히 작게 유지하면서 채널 영역 및 깊이 방향으로의 확산을 효과적으로 막으려는 연구가 활발히 진행되어지고 있는 바 예컨대, 높여진(Elevated) 소스/드레인을 이용하는 방법과 후속의 불순물 주입시 게이트를 통한 불순물의 확산등을 효과적으로 방지하기 위한 물질 자체에 대한 연구가 활발히 진행되고 있다.

#### 발명이 이루고자하는 기술적 과제

상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 본 발명은, 선택적 에피택셜 성장을 이용하여 높여진 소스/드레인을 형성하며, 그 물질 자체를 SiGe으로 사용함으로써, 확장 부분의 채널 영역 및 깊이 방향으로의 확산을 효과적으로 억제할 수 있는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 얕로우 정션 형성 방법을 제공하는데 그 목적이 있다.

또한, 본 발명은, 게이트 전극을 통한 불순물의 확산을 효과적으로 억제할 수 있는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 얕로우 정션 형성 방법을 제공하는데 다른 목적이 있다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 소정 공정이 완료된 실리콘 기판 상에 폴리실리콘 게이트 전극 및 스페이서 형태의 배리어막을 형성하는 제1단계; 상기 폴리실리콘 게이트 전극 및 상기 실리콘 기판을 소정의 두께만큼 제거하는 제2단계; 상기 제거된 영역 상에 선택적 에피택셜 성장을 이용하여 SiGe막을 성장시키는 제3단계; 상기 SiGe막에 저농도 불순물을 주입하는 제4단계; 상기 배리어막 측벽을 감싸는 스페이서를 형성하는 제5단계; 및 상기 SiGe막에 고농도 불순물을 주입하는 제6단계를 포함하여 이루어지는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 얕로우 정션 형성 방법을 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 첨부한 도 2a 내지 도 2g를 참조하여 상세하게 설명한다.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 살로우 정션 형성 공정을 도시한 단면도이다.

먼저, 도 2a에 도시된 바와 같이, 통상적인 공정을 통하여 실리콘 기판(20)과 접하는 계면에 게이트 산화막(21)을 갖는 폴리실리콘 게이트 전극(22)을 형성한 후, 기판 전면을 따라 배리어막(23)을 형성하는 바, 여기서 상기 배리어(Barrier)막(23)을 이루는 물질은 고온에서 형성된 저유전율 산화막적 절연막(High temperature Low Dielectric; 이하 HLD라 함)을 이용하여 50Å ~ 150Å의 두께를 갖도록 한다.

한편, 여기서의 배리어막(23)은 통상적인 LDD 구조에서 폴리실리콘 게이트 전극(22)의 측벽을 감싸는 기능 뿐만이 아니라 후속 공정인 SiGe의 선택적 에피택셜 성장에 따라 게이트 전극(22)을 이루는 폴리실리콘 측벽에 SiGe의 성장을 막는 역할을 수행하며, 전체 공정을 통해 형성될 소스/드레인 확장층 채널 영역과 소정의 간격을 통해 격리시키도록 하여 유효 채널 길이를 확보하도록 하는 역할도 수행한다. 따라서, 배리어막(23)의 두께가 너무 두꺼우면 LDD 이온주입 영역과 채널 영역을 너무 분리시켜 후속 어닐(Anneal) 공정에 의해 채널까지 확산이 이루어지지 않을 위험이 있으므로 상기한 스펙을 유지하는 것이 바람직하다.

이어서, 도 2b에 도시된 바와 같이, 기판(20) 전면을 건식 식각함으로써, 배리어막(23)이 게이트 전극(22)의 측벽을 감싸는 예컨대, 스페이서 형태를 갖도록 한다.

다음으로, 도 2d에 도시된 바와 같이, 결과물 전면을 건식 식각하여 기판(20) 및 게이트 전극(22)의 실리콘을 제거하는 바, 300Å ~ 800Å의 실리콘을 식각함으로써, 게이트 전극(22) 상의 실리콘과 배리어막(23) 양측면에 트렌치(Trench) 형상이 이루어지도록 한다. 여기서 트렌치 형상이라 칭하는 것은 기판의 양측면에 생략된 필드 산화막을 경계로 필드 산화막과 배리어막(23) 사이가 제거됨을 뜻한다.

다음으로, 도 2d에 도시된 바와 같이, SiGe를 선택적 에피택셜 성장을 이용하여 실리콘이 식각된 영역에 SiGe막(24, 25)성장시키되, 식각된 실리콘의 높이 또는 그 보다 200Å ~ 400Å 더 높게 성장시키는 바, 200SCCM ~ 400SCCM의  $\text{SiH}_2\text{Cl}_2$ 와 200SCCM ~ 400SCCM의  $\text{GeH}_4$  및 100SCCM ~ 200SCCM의 HCl의 소스 가스를 이용하여 750°C ~ 900°C의 성장 온도 및 1Torr ~ 50Torr의 압력 하에서 실시한다.

부가적으로, 식각된 실리콘의 높이 보다 200Å ~ 400Å 더 높게 성장시키므로써, SiGe막(24, 25)의 측면 과도 성장(Over-growth)에 따라 후속의 활성 영역과 폴리실리콘 사이의 살리사이드(Self-aligned silicide; salicide) 표면적을 증가시킴으로써, 활성 영역과 폴리실리콘 사이의 저항을 감소시킬 수 있다.

선택적 에피택셜 성장은 그 하부의 결정면과 결정 방향을 따라 소정의 막을 형성하는 방식으로써 식각과 증착이 동시에 이루어지는 특징이 있는 바, 일반적인 증착법에 비해 비교적 결정 결함 및 결정립계(Grain boundary)에서의 결함이 적어 정션 누설 전류(Junction leakage current) 등의 특성이 우수한 특징이 있으며, SiGe는 실리콘이나 폴리실리콘에 비해 불순물에 대한 확산을 느리게 할 뿐만 아니라 불순물에 대한 고용도(Solubility)가 높은 장점이 있다. 여기서, 도면부호 '25'는 기판(20)의 결정과 동일한 형태로 성장된 에피-SiGe막을 나타내며, '24'는 게이트 전극(22) 물질인 폴리실리콘과 동일한 결정 형태를 갖는 폴리-SiGe막을 나타낸다.

한편, 대체 물질로 비정질 실리콘(Amorphous silicon)을 사용하는 경우도 있으나, 비정질 실리콘은 후속의 열공정에 의해 결정 격자가 바뀌게 되어 폴리실리콘과 유사한 형태로 바뀌게 되므로 SiGe에 비해 상기한 특성이 떨어지는 단점이 있다.

통상적으로 엔모스(N-type Metal Oxide Semiconductor; 이하 NMOS라 함)는 불순물이 도핑되지 않은 게이트 전극(22)을 형성한 후 후속의 이온주입을 통하여 NMOS 게이트 전극(22)을 형성하며, 피모스(P-type Metal Oxide Semiconductor; 이하 PMOS라 함)의 경우 인(P) 등의 불순물이 소정의 양만큼 도핑된 게이트 전극(22)을 형성한 후 다시 이온주입을 실시한다. 다만, PMOS의 경우 SEG시 증착 속도에 비해 식각 속도가 더 빠르게 진행되므로 같은 시간 동안에 NMOS에 비해 최종 두께가 더 얇아지게 되므로 시간 조절에 따른 성장률(Growth rate)의 조절이 필요하게 되는 바, 본 발명은 도핑 유무에 관계없이 SiGe의 사용이 가능하다.

다음으로, 도 2a에 도시된 바와 같이, 상기 결과물에 대하여 이불화 붕소(BF<sub>3</sub>), 비소(As), 붕소(B), 또는 인(P) 등의 저농도 불순물을 사용하여 이온 주입을 실시한다.

다음으로, 도 2f에 도시된 바와 같이, 결과물 전면을 따라 절화막(26)을 증착한다.

다음으로, 도 2g에 도시된 바와 같이, 결과물 전면을 건식 식각하여 배리어막(23) 측벽을 감싸는 절화막 스페이서(26')를 형성한 다음, 상기한 고농도 불순물이 이온주입 및 급속열처리(Rapid Thermal Annealing)등의 어닐 공정을 실시하여 소스/드레인(27) 및 그 확산에 의한 소스/드레인 확장(28)을 형성한다.

상기한 바와 같이 이루어지는 본 발명은, 불순물 확산 방지에 적합한 SiGe를 사용하여 놓여진 소스/드레인을 형성함에 있어서, SEG를 이용함으로써, 결정 결함이 없는 막을 형성하며, HLD 배리어막을 통해 SEG시 게이트 측벽에서 SiGe의 성장을 방지함과 동시에 유효 채널 영역의 확보를 할 수 있으며, 단채널 효과 및 게이트를 통한 불순물의 확산을 효과적으로 방지할 수 있으며, 소스/드레인 확장의 저항을 낮출 수 있음을 실시예를 통해 알아 보았다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술

적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

#### 발명의 효과

전술한 본 발명은, 0.15 $\mu$ m 선폭 이하의 로직 싸모스 제조시 소스/드레인 확장에서의 채널 영역 및 깊이로의 확산을 억제할 수 있는 효과가 있으며, 게이트 전극을 통한 불순물의 확산을 최대한 억제할 수 있어, 궁극적으로 소자의 신뢰도 및 수율을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

#### (5) 청구의 범위

청구항 1. 반도체 소자 제조 방법에 있어서,

소정 공정이 완료된 실리콘 기판 상에 폴리실리콘 게이트 전극 및 스페이서 형태의 배리어막을 형성하는 제1단계;

상기 폴리실리콘 게이트 전극 및 상기 실리콘 기판을 소정의 두께만큼 제거하는 제2단계;

상기 제거된 영역 상에 선택적 에피택셜 성장을 이용하여 SiGe막을 성장시키는 제3단계;

상기 SiGe막에 저농도 불순물을 주입하는 제4단계;

상기 배리어막 측벽을 감싸는 스페이서를 형성하는 제5단계; 및

상기 SiGe막에 고농도 불순물을 주입하는 제6단계

를 포함하여 이루어지는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 살로우 정션 형성 방법.

청구항 2. 제 1 항에 있어서,

상기 배리어막은, 고온에서 형성된 저유전을 산화막계 절연막(HLD)인 것을 특징으로 하는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 살로우 정션 형성 방법.

청구항 3. 제 1 항에 있어서,

상기 배리어막은 50 Å 내지 150 Å의 두께인 것을 특징으로 하는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 살로우 정션 형성 방법.

청구항 4. 제 1 항에 있어서,

상기 제2단계는, 건식 식각을 통해 상기 실리콘 기판 및 상기 폴리실리콘 게이트를 300 Å 내지 800 Å의 두께만큼 제거하는 것을 특징으로 하는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 살로우 정션 형성 방법.

청구항 5. 제 1 항에 있어서,

상기 제3단계에서, 상기 SiGe를 상기 제2단계에서 상기 실리콘 기판 및 상기 폴리실리콘 게이트가 제거된 두께와 동일하게 또는 200 Å ~ 400 Å 더 높게 성장시키는 것을 특징으로 하는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 살로우 정션 형성 방법.

청구항 6. 제 1 항에 있어서,

상기 제3단계는,

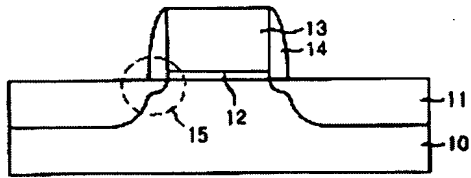
200SCCM 내지 400SCCM의 SiH<sub>2</sub>Cl<sub>2</sub>와 200SCCM 내지 400SCCM의 GeH<sub>4</sub> 및 100SCCM 내지 200SCCM의 HCl의 소스 가스를 이용하는 것을 특징으로 하는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 살로우 정션 형성 방법.

청구항 7. 제 6 항에 있어서,

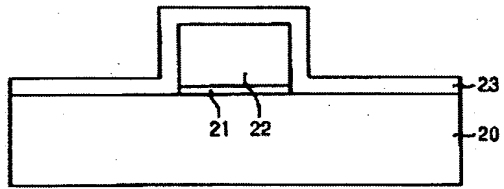
상기 제3단계는, 750°C 내지 900°C의 성장 온도 및 1Torr 내지 50Torr의 압력 하에서 실시하는 것을 특징으로 하는 실리콘-게르마늄 선택적 에피택셜 성장을 이용한 살로우 정션 형성 방법.

도면

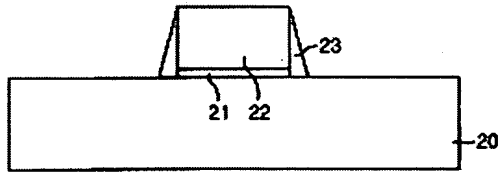
도 1



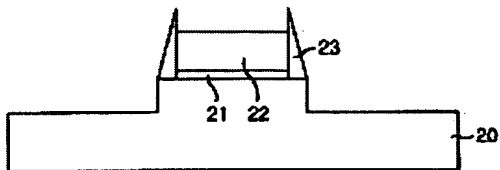
도 2a



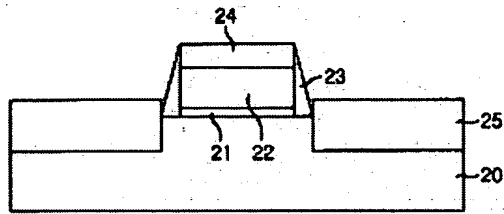
도 2b



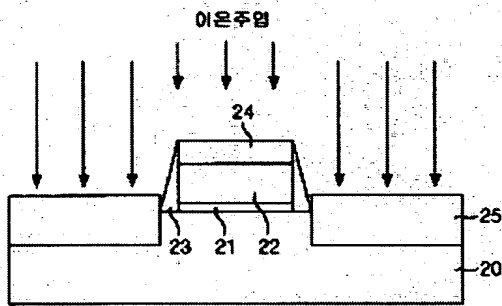
도 2c



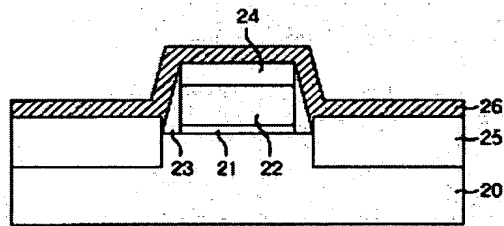
도면5



도면6



도면7



도면8

